

PARTIAL TRANSLATION OF CITATION 1 (JP NO. 7-288552)

[Embodiment]

An embodiment of a demodulator for demodulating a frequency shift keying signal in accordance with the present invention will be described with reference to the drawings. Fig. 1 is a block diagram indicating an embodiment of a demodulator for a frequency shift keying signal of the present invention. In Fig. 1, the BPF 11 performs band limitation on the FSK modulated signal input to the input terminal 10 and the thus processed signal is further input to the primary PLL circuit 12 having the same configuration as a prior art PLL circuit. The primary PLL circuit 12 performs frequency discrimination on the FSK modulated signal and outputs the thus processed signal as a base band detection signal to the signal line 4. The detection signal on the signal line 4 is input to the comparator 16 and also to the sample and hold circuit 13. The sample and hold circuit 13 measures a final bit time value of the previous data by means of a CK signal synchronized with a transmitted bit CK signal from the CK generation circuit 14, samples and holds the value and outputs the sampled and held value to the coefficient device 15. A coefficient value, which is uniquely determined by a cut-off frequency and data bit time of the primary PLL circuit 12, is set by the coefficient device 15, and the thus set coefficient value is multiplied by the sampled and held value, which is a final value of bit time. The product of the multiplication is output as a threshold Th to the comparator 16, where the threshold Th is used as a reference level. In the comparator 16, the detection signal 4 is compared with the threshold Th which is set at each bit time, and if it transpires that the detection signal 4 is larger than the threshold Th , the comparator 16 outputs an H signal as demodulated binary data to the output terminal 17; whereas if it transpires that the detection signal 4 is smaller than the threshold Th , the comparator 16 outputs an L signal as demodulated binary data to the output terminal 17.

Fig. 2 illustrates how to set a variable threshold when intersymbol interference is occurring. In Fig. 2, $\phi(t)$ denotes a phase difference of the primary PLL circuit; $\Delta\omega$ denotes a deviation of a frequency of a carrier signal from the center frequency; ω_d denotes a cut-off frequency of the primary PLL circuit; and T_b denotes bit time of data. Due to the intersymbol interference, the initial value $\phi(0)$ of the phase difference $\phi(t)$ varies within the range from $+\Delta\omega/\omega_d$ to $-\Delta\omega/\omega_d$. When data subsequent to the initial value $\phi(0)$ is 1, an output from the primary PLL circuit corresponds to the point $x(\phi(1(T_b)))$. When the data is 0, the output corresponds to the point $y(\phi(0(T_b)))$. Thus, when setting the threshold in such a manner as to correspond to the point z , which is a middle point between the point x and the point y , a interval from the threshold becomes the

1/2

Best Available Copy

greatest.

In other words, the threshold Th can be represented by the following formula:

$$Th = \{(\phi 1(Tb)) + (\phi 0(Tb))\} / 2 = \phi (0) \times \exp(-wd \cdot Tb)$$

The threshold Th is proportional to a constant coefficient value determined by the cut-off frequency wd and data bit time Tb of the primary PLL circuit. Therefore, a coefficient value uniquely determined by the cut-off frequency and data bit time of the primary PLL circuit 12 is set by the coefficient device 15 and is multiplied by the sampled and held value, which is a final value of bit time, to obtain a threshold value Th , which is output to the comparator 16, where the threshold value Th is used for a reference level. By making a threshold value variable, a bit error rate can be reduced even when intersymbol interference occurs.

Assuming that the point 2a in the waveform c in Fig. 4 represents a sample value of the current time slot, the point 1a corresponds to a sampled and held value of a final value of the previous bit time and thus, the point 1a becomes an initial value $\phi (0)$, and when data is 1, an output from the primary PLL circuit corresponds to the point 2b while when the data is 0, an output from the primary PLL circuit corresponds to the point 2a and a threshold value is set to correspond to the middle point 2z between the points 2b and 2a. The threshold values of 3z ~ 9z are also set in the same manner as in the case of 2z. Thus, by making a threshold value continuously variable, a greater interval from the threshold value can be secured than when a threshold value is a constant Th , whereby a bit error rate can be greatly improved.

特開平7-288552

(43) 公開日 平成7年(1995)10月31日

(51) IntCl. ⁹ H 0 4 L 27/144	識別記号	庁内整理番号 9297-5K	F I H 0 4 L 27/ 14	技術表示箇所 K
--	------	-------------------	-----------------------	-------------

審査請求 未請求 請求項の数1 OL (全4頁)

(21) 出願番号 特願平6-75864

(22) 出願日 平成6年(1994)4月14日

特許法第30条第1項適用申請有り 平成5年10月15日、
電気学会、他5学会主催の「平成5年電気関係学会四国
支部連合大会」において文書をもって発表

(71) 出願人 592031097

松下寿電子工業株式会社

香川県高松市古新町8番地の1

(72) 発明者 入谷 忠光

徳島県徳島市南沖洲1丁目10番17号

(72) 発明者 大家 隆弘

徳島県徳島市八万町大坪232-1

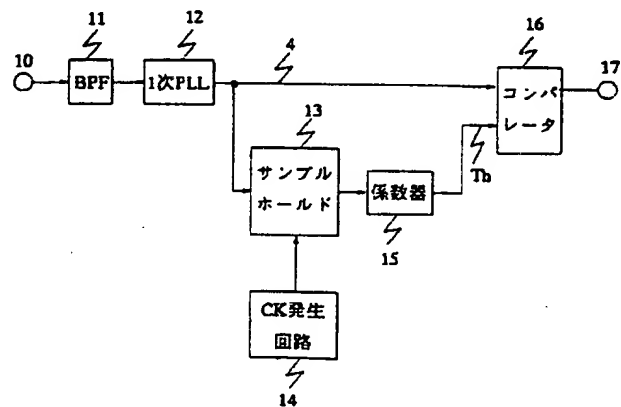
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 周波数偏移キーイング信号の復調装置

(57) 【要約】

【目的】 FSK信号復調装置において、符号間干渉を有する場合でも、可変閾値方式のコンパレータを用いることにより、簡易な回路構成により、ビット誤り率の改善を計ることを目的とする。

【構成】 1次PLL回路12からの検波信号をサンプル・ホールド回路13で前回のビットタイムの最終値をサンプル・ホールドし、1次PLL回路12の遮断周波数とデータ・ビット・レートにより一義的に定まる定数値を発生する係数器を有し、前記最終値に定数値を乗算した値をコンパレータ16の比較基準値とすることにより、復調データのビット誤り率を改善する。



【特許請求の範囲】

【請求項1】 予め定められたビット間隔を有する2値のデータ信号が周波数偏移変調された周波数偏移キーイング信号を、周波数弁別手段により、その周波数に応じて振幅が変化する検波信号に変換し、その変換された検波信号を定められた閾値と比較し、その閾値との大小関係に応じて元の2値のデータ信号に変換する周波数偏移キーイング信号の復調装置において、前記検波信号を、前記ビット間隔でもって、順次サンプルホールドし、そのサンプルホールド値に応じて前記閾値の値を順次変化せしめることを特徴とする周波数偏移キーイング信号の復調装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、周波数偏移キーイング信号（以下F S K信号という）の復調装置に関するもので、特に、符号間干渉に強い復調装置を提供するものである。

【0002】

【従来の技術】 図3は従来例のF S K信号の復調装置のブロック図であり、入力端子1に入力された復調すべきF S K信号は、帯域ろ波器2を介して、積分作用とサンプルホールド作用を持つ位相比較器3、可変発振器5よりなる周知の1次PLL回路6に入力される。1次PLL回路6は、前記入力F S K信号を周波数に応じて振幅が変化するベースバンド信号4に検波する。

【0003】 このベースバンド信号4は、コンパレータ7に印加され、閾値発生回路8からの予め定められた一定の閾値 T_h と比較され、その閾値 T_h より大なる場合は、ハイレベルの信号（以下H信号という）を、小なる場合は、ロウレベルの信号（以下L信号という）を出力端子9に出力するように構成されている。

【0004】

【発明が解決しようとする課題】 しかしながら、従来例のF S K信号復調装置においては、予め設定された固定の閾値レベルを用いて、1次PLL回路6からの検波信号をコンパレータ7で2値のデジタル信号に識別しているが、復調データのビット誤り率を改善するため、1次PLL回路6の遮断周波数を小さくすると符号間干渉が増加し、改善量に限界があった。

【0005】 この様子を図4に模式的に示す。図4の波形aは、伝送すべき2値の原データを示すもので、bはその原データをF S K変調して伝送し、周波数弁別を行った後のベースバンド検波信号、すなわち、図3の1次PLL回路6の検波信号4を示すもので、符号間干渉もなく、理想的な伝送がなされた状態を示している。この場合、常に2値の原信号に対応して、1次PLL回路6からの検波信号の最大値、最小値は一定値 $\pm V$ に固定され、前記閾値 T_h を1次PLL回路6からの検波信号出力4の振幅の中間値に固定して設定しておけばよい。

【0006】 cは符号間干渉がある場合の1次PLL回路6の検波信号4を示すもので、検波出力の最大値、最小値が一定値にならず、符号間干渉により、 $n \gg 1$ となり、振幅が大きく変化する。すなわち、前記閾値 T_h を固定値にしておく、と、良好なビット誤り率を得ることができない。

【0007】 本発明は上記従来の問題点を解決するもので、符号間干渉があっても、F S K変調信号の復調データのビット誤り率を改善できるF S K信号の復調装置を提供することを目的とする。

【0008】

【課題を解決するための手段】 上記目的のため、本発明のF S K信号の復調装置は、F S K信号を周波数弁別手段により検波し、その検波信号出力レベルに応じて、連続的にコンパレータの閾値レベルを可変して、符号間干渉が存在しても良好なビット誤り率でF S K変調信号の復調信号を得ることを特徴とする。

【0009】

【作用】 この構成によれば、周波数弁別手段の帯域を狭くすると、符号間干渉が増加するが、この周波数弁別手段からの検波信号を、ビットCKに同期したタイミングでサンプル・ホールドし、該ホールド値に1次PLL回路の遮断周波数とデータ・ビットタイムにより、一義的に決まる定数値を乗算してコンパレータの閾値を連続的に可変するように構成されているため、符号間干渉により、検波出力の振幅が変化しても、その変化に追従して、閾値が変化するので、ビット誤り率を改善することができる。

【0010】

【実施例】 以下図面を参照して本発明のF S K信号の復調装置の一実施例を説明する。図1は、本発明のF S K信号の復調装置の一実施例を示すブロック図である。図1において、入力端子10に入力されたF S K変調信号はBPF11にて帯域制限され、従来例と同一構成よりなる1次PLL回路12に入力される。F S K変調信号は1次PLL回路12にて周波数弁別され、信号線4にベースバンド検波信号として出力される。信号線4の検波信号はコンパレータ16に入力されるとともに、サンプル・ホールド回路13にも入力される。サンプル・ホールド回路13は、CK発生回路14より、送信ビットCK信号に同期したCK信号で、前回のデータのビットタイムの最終値を計測してサンプルホールドし、該サンプルホールド値を係数器15に出力する。1次PLL回路12の遮断周波数とデータ・ビットタイムにより、一義的に決まる係数値を係数器15にて設定し、該係数値をビットタイムの最終値である前記サンプルホールド値に乗算して、閾値 T_h として、コンパレータ16に出力してコンパレータ16の基準レベルとする。コンパレータ16では、検波信号4は、ビットタイム毎に設定される閾値 T_h と比較され、その閾値 T_h より大なる場合

は、H信号を、小なる場合はL信号として出力端子17に復調2値データとして出力する。

【0011】図2は本発明の符号間干渉のある場合の可変閾値の設定方法を示す図である。図2において、 $\phi(t)$ は1次PLL回路の位相差、 $\Delta\omega$ は搬送波の中心周波数からの周波数偏移、 ω_d は1次PLL回路の遮断周波数、 T_b はデータのビット・タイムを示す。位相差 $\phi(t)$ の初期値 $\phi(0)$ は符号間干渉があるので、定常値 $+\Delta\omega/\omega_d$ から $-\Delta\omega/\omega_d$ の間を変化する。この初期値 $\phi(0)$ に続くデータが1の時には、1次PLL回路の出力はx点($\phi_1(T_b)$)に、データが0の時にはy点($\phi_0(T_b)$)になり、このx点とy点の中点であるz点を閾値にとれば、閾値からの距離が最も大きくなる。

【0012】すなわちこの閾値 T_h は

$$T_h = \{(\phi_1(T_b)) + (\phi_0(T_b))\} / 2$$

$$= \phi(0) \times \exp(-\omega_d \cdot T_b)$$

で与えられ、閾値 T_h は、1次PLL回路の遮断周波数 ω_d とデータビットタイム T_b により定まる一定の係数値に比例したものとなる。従って、1次PLL回路12の遮断周波数とデータ・ビットタイムにより、一義的に決まる係数値を係数器15にて設定し、該係数値をビットタイムの最終値である前記サンプルホールド値に乗算して、閾値 T_h として、コンパレータ16に出力してコンパレータ16の基準レベルとする。このように閾値を可変にすることにより、符号間干渉がある場合でもビット誤り率を改善することが出来る。

【0013】図4の波形cにおいて、点2aが現タイム

スロットのサンプルすると点1aは前ビットタイムの最終値のサンプルホールド値であり、点1aが初期値 $\phi(0)$ となり、データ1の時は点2bに、データ0の時は点2aになり、点2bと点2aの中点である点2zを閾値とし、以後3z~9zの閾値も同様に決定する。このように閾値を連続可変にすることにより、閾値を固定の T_h にする場合に比べ、閾値からの距離が大きくとれ、ビット誤り率を改善することが出来る。

【0014】

【発明の効果】以上のように本発明によれば、FSK信号の復調装置において、符号間干渉がある場合でも可変閾値をもつコンパレータを用いることにより、従来の固定閾値方式より、ビット誤り率が改善できる。

【図面の簡単な説明】

【図1】本発明のFSK信号の復調装置の一実施例を示すブロック図

【図2】同実施例の動作原理を説明するための信号波形図

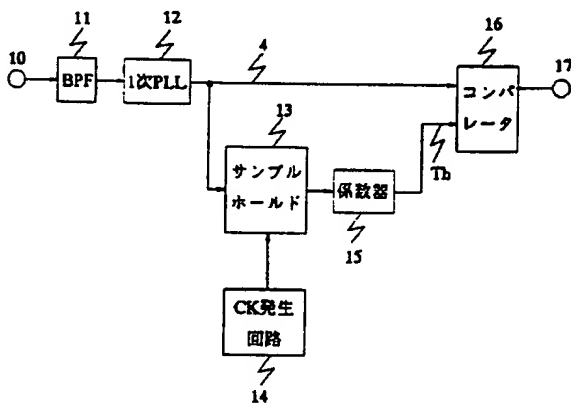
【図3】従来のFSK信号の復調装置を示すブロック図

【図4】従来のFSK信号の復調装置および本発明のFSK信号の復調装置の動作説明のための信号波形図

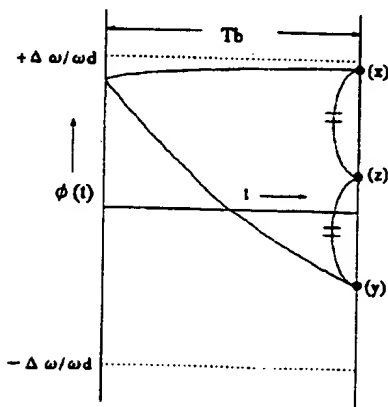
【符号の説明】

- 12 1次PLL
- 13 サンプル・ホールド回路
- 14 CK発生回路
- 15 係数器
- 16 コンパレータ

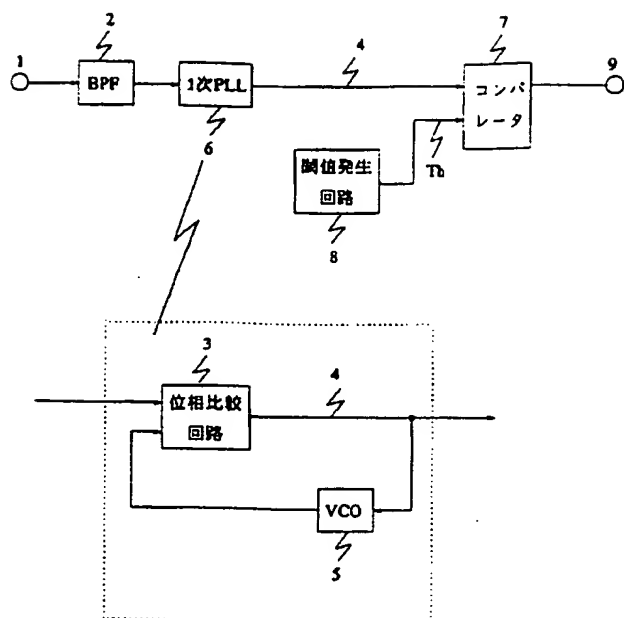
【図1】



【図2】



【図3】



【図4】



***This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.